

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1997

An English Translation of Abstract of Korean Patent Publication 2000-13325

Ferroelectric memory apparatus and fabrication method therefor

[Gist]

The ferroelectric memory apparatus that the interdiffusion of the ferroelectric memory apparatus at the side of the ferroelectric memory apparatus can be prevented is disclosed. The present invention is directed to the semiconductor substrate of the first conductivity type, the gate ferroelectric film formed on the semiconductor substrate, the gate electrode formed on the gate ferroelectric film, and the interlayer insulation film formed on the diffusion prevention means so as to cover the upper surface and the side surface of the gate electrode and the gate ferroelectric film. The ferroelectric memory apparatus which includes the source/drain regions constituted by the first conductivity type and the second conductivity type near the surface of the semiconductor substrate is provided. In the present invention, the MFSFER which prevents the constituent elements of the ferroelectric film from diffusing can be formed, so that the ferroelectric memory apparatus with the excellent FET characteristic can be formed.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 특1997-0013325
H01L 27/10 (43) 공개일자 1997년 03월 29일

(21) 출원번호 특 1995-0024708
(22) 출원일자 1995년 08월 10일
(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 강창석
경기도 수원시 팔달구 매탄동 810-1 현대아파트 103동 904호
(74) 대리인 이영필, 권석홍, 노민식

상세청구 : 있음

(54) 강유전체 메모리 장치 및 그 제조 방법

요약

강유전체 박막의 측면에서의 상호 확산이 방지되어지는 강유전체 메모리장치를 개시한다. 본 발명은, 제1 도전형의 반도체 기판, 상기 반도체 기판 상에 형성된 게이트 강유전체막, 상기 게이트 강유전체막 위에 형성된 게이트 전극, 상기 게이트 전극 및 게이트 강유전체막의 상면과 측면을 감싸도록 형성된 확산방지수단, 상기 확산 방지수단 상에 형성된 층간절연막 및 상기 게이트 전극을 대칭으로 하여, 상기 반도체 기판의 표면 근방에 상기 제1 도전형과 반대의 제2도전형으로 형성된 소스/드레인 영역을 포함하는 것을 특징으로 하는 강유전체 메모리장치를 제공한다. 본 발명에 의하면, 강유전체 박막의 구성원소의 상호확산이 방지되는 MFSFET를 형성할 수 있으므로, 우수한 FET특성을 가진 강유전체막 메모리를 만들 수 있다.

도면

도 6

도면

[발명의 명칭]

강유전체 메모리 장치 및 그 제조 방법

[도면의 간단한 설명]

제6도, 제10도 및 제11도는 본 발명의 제1, 제2 및 제3 실시예에 따른 MES FET의 각 단면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1. 제1 도전형의 반도체 기판 ; 상기 반도체 기판 상에 형성된 게이트 강유전체막 ; 상기 게이트 강유전체막 위에 형성된 게이트 전극 ; 상기 게이트 전극 및 게이트 강유전체막의 상면과 측면을 감싸도록 형성된 확산방지 수단 ; 상기 확산 방지수단 상에 형성된 층간절연막 ; 및 상기 게이트 전극을 대칭으로 하여, 상기 반도체 기판의 표면 근방에 상기 제1 도전형의 반도체 기판과 반대인 제2도전형으로 형성된 소스/드레인 영역을 포함하는 것을 특징으로 하는 강유전체 반도체 장치.

청구항 2. 제1항에 있어서, 강유전체박막이 PZT(PbZrTiO₃), Bi₂TiO₅, BaTiO₃ 및 LiNbO₃ 중 어느 하나로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 3. 제1항에 있어서, 상기 게이트 전극은 poly-Si, W, Ir, Al, Pt, Ru, Ta, 상기 금속의 실리사이드 및 RuO₄, ITO(Indium Tin Oxide), IrO₂ 등의 도전성 산화물중 어느 하나로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 4. 제1항에 있어서, 상기 확산 방지수단은 단일의 확산(diffusion) 방지층 또는 접착층(adhesion)과 확산(diffusion) 방지층의 몇가지 조합중 어느 하나로 이루어지는 것을 특징으로 하는 강유전체 반도체 장치.

청구항 5. 제4항에 있어서, 상기 접착층은 산화티타늄(TiO₂), 실리콘 산화막(SiO₂), 산화탄탈륨, 산화알루미늄, PbTiO₃, 및 PZT중 어느 하나로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 6. 제4항에 있어서, 상기 확산 방지층은 실리콘 질화막(SiN), 티타늄 질화막(TiN), 질화실리콘 산화막(SiNO) 및 텅스텐 질화막중의 어느 하나로 이루어진 것을 특징으로 하는 강유전체 반도체 장

치.

청구항 7. 제1항에 있어서, 상기 반도체 기판과 상기 게이트 강유전체막 사이에 상호 확산을 방지하기 위한 물질층을 구비한 것을 특징으로 하는 강유전체 반도체 장치.

청구항 8. 제7항에 있어서 상기 물질층이 실리콘 카바이드(SiC)인 것을 특징으로 하는 강유전체 반도체 장치.

청구항 9. 제1항에 있어서, 상기 게이트 강유전체막과 상기 게이트 전극 사이에 게이트 확산 장벽막을 구비한 것을 특징으로 하는 강유전체 반도체 장치.

청구항 10. 제9항에 있어서, 상기 게이트 확산 장벽막은 TiN, Ti, Ru, RuO₂, Ir, IrO₂, WN, 상기 금속 원소의 실리콘사이드 및 상기 확산 장벽물질을 하나 이상을 조합한 것중의 어느 하나로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 11. 제1항에 있어서, 상기 반도체 기판 상에 형성된 게이트 강유전체막 대신에 MFISFET형성을 위한 게이트 절연막 및 게이트 강유전체막으로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 12. 제1항에 있어서, 상기 반도체 기판 상에 형성된 게이트 강유전체막 대신에 MFMSFET형성을 위한 게이트 절연막, 게이트 도전막 및 게이트 강유전체막으로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 13. 제1 도전형의 반도체 기판 ; 상기 반도체 기판 상에 형성된 게이트 강유전체막 ; 상기 게이트 강유전체막 위에 형성된 게이트 전극 ; 상기 게이트 강유전체막 및 상기 게이트 전극으로 이루어진 게이트를 감싸면서, 상기 게이트의 측벽을 따라 형성된 스페이서(spacer) 확산 방지수단 ; 상기 스페이서 확산 방지수단 외측에 형성된 층간절연막 ; 및 상기 게이트의 측벽에 형성된 스페이서 확산 방지수단 아래에 위치하고, 상기 게이트 전극을 대칭으로 하여, 상기 반도체 기판의 표면 근방에 상기 제1 도전형과 반대의 제2도전형으로 형성된 소오스/드레인 영역을 포함하는 것을 특징으로 하는 강유전체 반도체 장치.

청구항 14. 제13항에 있어서, 상기 반도체 기판 상에 형성된 게이트 강유전체막 대신에 MFISFET형성을 위한 게이트 절연막 및 게이트 강유전체막으로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 15. 제13항에 있어서, 상기 반도체 기판 상에 형성된 게이트 강유전체막 대신에 MFISFET형성을 위한 게이트 절연막, 게이트 도전막 및 게이트 강유전체막으로 이루어진 것을 특징으로 하는 강유전체 반도체 장치.

청구항 16. 제1도전형의 반도체 기판의 정해진 영역에 소자 분리 영역을 형성하는 단계 ; 상기 반도체 기판의 전면에 강유전체막, 게이트 도전막 및 마스크층을 차례로 적층하는 단계 ; 상기 마스크층을 패터닝하는 단계 ; 상기 마스크층 패턴을 식각마스크로 사용하여, 상기 게이트 도전막 및 상기 강유전체막을 연속적으로 식각함으로써 게이트 전극 및 게이트 강유전체막을 형성하는 단계 ; 반도체 기판의 전면에 상기 제1 도전형과 반대의 제2 도전형 불순물을 이온 주입하여 소오스/드레인 영역을 형성하는 단계 ; 상기 마스크층 패턴을 제거하는 단계 ; 기판 전면에 상기 게이트 전극 및 게이트 강유전체막의 상면과 측면을 감싸도록 확산방지수단을 형성하는 단계 ; 상기 확산 방지수단 상에 층간절연막을 형성하는 단계 ; 및 상기 결과물 상에 상기 소오스/드레인 영역에 콘택홀을 형성하여 콘택 및 배선공정들을 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조방법.

청구항 17. 제16항에 있어서, 상기 마스크층을 제거한 단계에서 에칭에 의한 식각 손상을 회복하기 위하여 어닐(anneal)하는 단계를 더 추가하는 것을 특징으로 하는 강유전체 장치의 제조방법.

청구항 18. 제16항에 있어서, 상기 반도체 기판과 상기 게이트 강유전체막 사이에 상호 확산을 방지하기 위한 물질층을 게재하는 단계를 더 구비하는 것을 특징으로 하는 강유전체 반도체 장치의 제조 방법.

청구항 19. 제18항에 있어서, 상기 물질층은 상기 반도체 기판에 실리콘카바이드(SiC)를 기판위에 성장시켜 형성하는 것을 특징으로 하는 강유전체 반도체 장치의 제조방법.

청구항 20. 제16항에 있어서, 상기 게이트 강유전체막과 상기 게이트 전극 사이에 게이트 확산 장벽막을 게재하는 단계를 더 구비하는 것을 특징으로 하는 강유전체 반도체 장치의 제조방법.

청구항 21. 제1 도전형의 반도체 기판의 정해진 영역에 소자 분리 영역을 형성하는 단계 ; 상기 반도체 기판의 전면에 강유전체막, 게이트 도전막 및 마스크층을 차례로 적층하는 단계 ;

상기 마스크층을 패터닝하는 단계 ; 상기 마스크층 패턴을 식각마스크로 사용하여 상기 게이트 도전막 및 상기 강유전체막을 연속적으로 식각함으로써, 게이트 전극 및 게이트 강유전체막으로 이루어진 게이트를 형성하는 단계 ; 상기 마스크층 패턴을 제거하는 단계 ; 상기 반도체 기판의 전면에 확산방지수단을 증착하고, 상기 반도체 기판의 전면에 대하여 상기 확산 방지막을 건식 식각하여 상기 게이트의 측벽에 스페이서 확산 방지막을 형성하는 단계 ; 반도체 기판의 전면에 상기 제1 도전형과 반대의 제2 도전형 불순물을 이온 주입하여 소오스/드레인 영역을 형성하는 단계 ; 기판 전면에 층간절연막을 형성하는 단계 ; 및 상기 결과물 상에 상기 소오스/드레인 영역에 콘택홀을 형성하여 콘택 및 배선공정들을 포함하는 것을 특징으로 하는 강유전체 반도체 장치의 제조방법.

청구항 22. 제21항에 있어서, 상기 마스크층을 제거한 단계에서 에칭에 의한 식각 손상을 회복하기 위하여 어닐(anneal)하는 단계를 더 추가하는 것을 특징으로 하는 강유전체 반도체 장치의 제조 방법.

청구항 23. 제21항에 있어서, 상기 스페이서 확산 방지막을 이온주입하여 소오스/드레인 영역을 형성할 때 마스크로 이용하는 것을 특징으로 하는 강유전체 반도체 장치 제조방법.

청구항 24. 제21항에 있어서, 상기 반도체 기판과 상기 게이트 강유전체막 사이에 상호 확산을 방지

하기 위한 물질층을 개재하는 단계를 더 구비하는 것 특징으로 하는 강유전체 반도체 장치 제조방법.

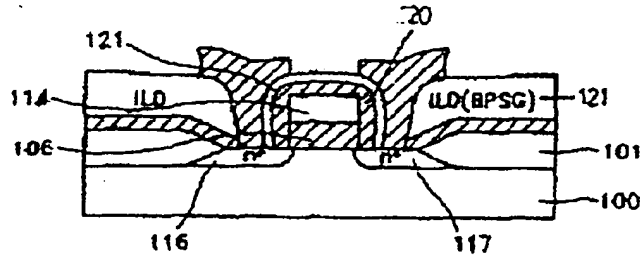
청구항 25. 제24항에 있어서, 상기 물질층은 상기 반도체 기판에 실리콘 카바이드(SiC)를 기판위에 성장시켜 형성하는 것을 특징으로 하는 강유전체 반도체 장치 제조방법.

청구항 26. 제21항에 있어서, 상기 게이트 강유전체막과 상기 게이트 전극 사이에 게이트 확산 장벽막을 개재하는 단계를 더 구비하는 것을 특징으로 하는 강유전체막 반도체 장치의 제조방법.

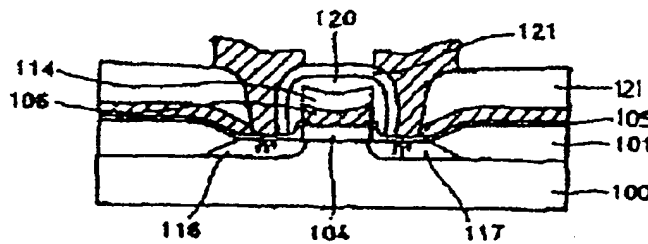
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면8



도면10



도면11

